

## ELEKTRONSKI FAKULTET U NIŠU Katedra za ELEKTRONIKU Predmet: PROJEKTOVANJE VLSI SEMINARSKI RAD

### 1. PROJEKTNII ZADATAK

Projektovati integrisani sistem čija je funkcija upravljanje mešalicom za beton. Mešalici su dostupna tri tipa peska (različite granulacije), cementni prah i voda. Zapreminski odnos komponenata u smeši za beton može se zadati spolja kao celobrojni umnožak zapremine osnovnog kontejnera koji se nalazi na otvoru za točenje sastojaka betona. Kapacitet mešalice je maksimalno 50 jedinica peska i cementa plus odgovarajuća količina vode. Mešalica prvo uzima pesak i cement, pa posle mešanja u trajanju od 1 min, uzme vodu i sve meša još 5 minuta. Posle toga, beton je spreman, ali ako nije pritisnuto dugme za točenje betona, nastavlja sa mešanjem sve dok sedugme ne pritisne. Startovanje mešalice vrši radnik. Čip treba da bude testabilan. Raspored pinova usvojiti proizvoljno. Rad treba da sadrži opis funkcije svakog bloka na VHDL-u, šemu implementacije koja je rezultat opisa, talasne oblike napona koji dokazuju ispravnost implementacije, projekat layout-a, i tekstualna objašnjenja.

PREDMETNI NASTAVNIK, Prof.dr Milunka Damnjanović

2

### 2. UVOD

U uvodnom delu biće uvedeni osnovni pojmovi i opisane najvažnije aktivnosti koje obuhvata složena delatnost projektovanja elektronskih kola. U procesu projektovanja elektronskih kola se na osnovu opisa željene funkcije kola generiše potpuna dokumentacija za proizvodnju istog. Kolo može da bude opisano u tri domena: ponašanja, strukture i u fizičkom domenu. Kada kažemo ponašanje mislimo na način kako kolo (ili sistem) i njegovi delovi reaguje u odnosu sa njegovom okolinom. Drugim rečima, ponašanjem zovemo preslikavanje ulaza u izlaz. Rezultat projektovanja – projekat, u ovom slučaju, predstavlja funkcionalni opis koji sadrži pomenuto preslikavanje. Kada kažemo struktura mislimo na skup komponenata koje se povezuju i koje čine sistem. Drugim rečima, struktura predstavlja arhitekturu datog sistema kada se iskazuje kao veza svojih elemenata. Za opis strukture često se koristi tzv. netlista. Netlista je, u stvari, spisak veza kojima su pojedinačno pridruženi elementi. Ponekad se koristi i njen komplement: spisak elemenata sa oznakama veza na njihovim priključcima. Najzad, kada kažemo fizički domen, govorimo o opisu načina kako će sistem biti proizveden. Akronim VHDL označava Very High Speed Integrated Circuits Hardware Description Language. VHDL može da se primenjuje u svim fazama projektovanja: opis, verifikaciju (simulaciju), sintezu i dokumentovanje. Osnovna prednost jeste mogućnost jednostavnog opisa projekta na višim nivoima apstrakcije. Nastao je iz potrebe da se popravi komunikacija me u projektantima koji rade na razvoju istog integrisanog kola. Budući da razvoj tehnologije nameće nove zahteve jeziku IEEE komitet za standardizaciju svakih pet godina razmatra primedbe koje stižu od korisnika VHDL-a kako bi se povećala efikasnost jezika. Postoji više načina da se opiše ista funkcija a da automatska sinteza rezultira istovetnim hardverom. Pri tome neki od opisa su kraći a neki duži. Pored toga, zavisno od primenjivih konstrukcija i naredbi, istu funkciju mogu da realizuju različiti hardveri, pri čemu su jedni jednostavniji od drugih. Naravno, postoje i potpuno neželjene kategorije opisa, a to su one koje ne daju željenu funkciju kola. Da bi se one eliminisale, neophodno je simulacijom verifikovati opis pre njegovog prevođenja u hardver. Postoje tri stila opisa projekta u VHDL-u. To su: - Strukturni opis (structural) - Opis toka podataka (data flow) - Opis ponašanja (behavioral) Strukturni opis podrazumeva da nam je struktura arhitekture sistema na nivou logičkih blokova poznata. Opis ponašanja ne razlikuje se mnogo od opisa toka podataka, naročito kada su u pitanju manja kola. Zasniva se na algoritamskom opisu bloka pri čemu se koristi definisanje procesa da bi se opisale sekvencijalne aktivnosti. Slično drugim programskim jezicima i u VHDL-u balansiranje izme u fleksibilnosti i mogućnosti zahteva određenu disciplinu od strane korisnika time što uvodi striktna pravila. Ona se odnose na način deklarisanja tipova signala i na pravila koja definišu način opisa i mesto pojavljivanja određeni naredbi. Iako ova pravila na

prvi pogled mogu da izgledaju zamršeno, njihova prava prednost dolazi do izražaja kod opisa složenih kola.

**----- OSTATAK TEKSTA NIJE PRIKAZAN. CEO RAD MOŽETE  
PREUZETI NA SAJTU. -----**

[www.maturskiradovi.net](http://www.maturskiradovi.net)

**MOŽETE NAS KONTAKTIRATI NA E-MAIL: [maturskiradovi.net@gmail.com](mailto:maturskiradovi.net@gmail.com)**